

Evaluation Report

综述:

EUP2573是一种由基准电压电路、振荡电路、误差放大电路、相位补偿电路、PWM 切换控制电路等构成的CMOS 升压型DC/DC 控制器。

由于使用外接的低导通电阻的N 沟道功率 MOS FET，因此适用于需要高效率、高输出电流的应用电路。

输出电容器可使用陶瓷电容器。并且，采用了小型的SOT-23-5封装，因此可适用于高密度安装。

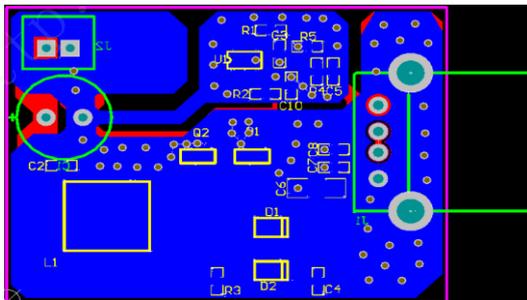
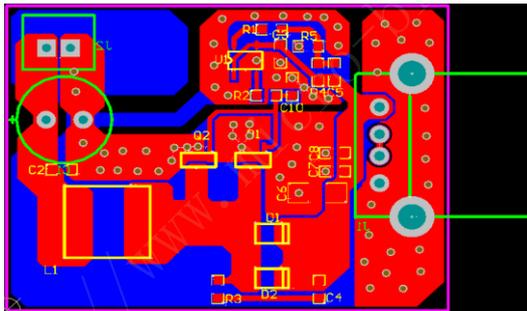
特征:

- 输入电压范围： 2.8 V ~ 5.5 V
- 振荡频率： 1.2 MHz
- 基准电压： 0.6 V ± 2.0%
- 软启动功能： 7 ms 典型值
- 占空系数： 内置 PWM 控制电路，最大占空比 85%
- 开/关控制功能： 休眠时消耗电流 1.0 μ A (最大值)
- 外接元器件： 电感器、二极管、电容器、晶体管
- 输出短路保护功能
- UVLO(欠压锁定)功能
- 无铅、Sn 100%、无卤素

应用:

- 车载充电器/座充
- LED 照明、LED 背光
- MP3 播放器、数码音响播放器
- 数码相机、GPS、无线收发机
- 其它便携产品

Evaluation Board PCB Layout



(L×W×H=37mm*28mm*1.2mm)

EV_BOARD Characteristics(Default)

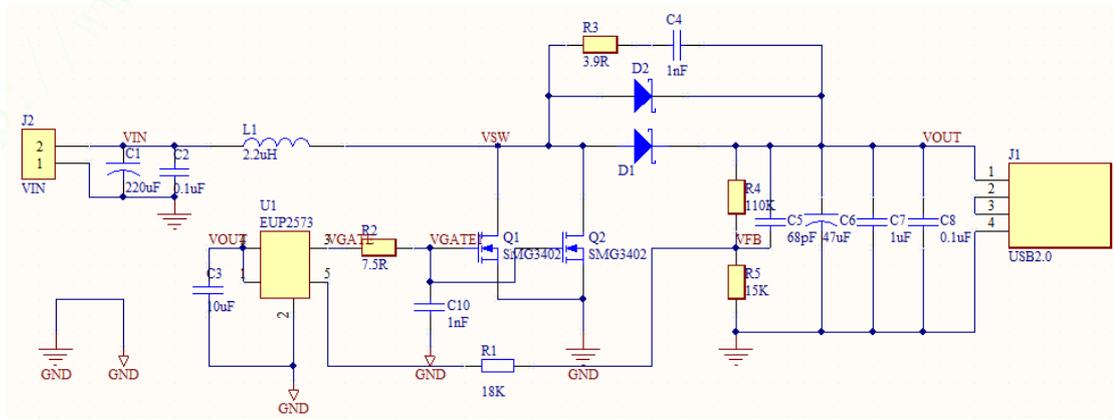
Parameter	Symbol	Value	Units
Input Voltage	VIN	3.3 to 4.2	V
Output Voltage	VOUT	5.12	V
Load Current Range	IOUT	0 to 2.1	A
EN Voltage	VEN	2.8 to VIN	V
Efficiency @3.3V→5.15V /2.1A	η	84.84	%
Input Current at No Load	IIN0	2.44	mA
IC Temperature Case(VIN=3.3V ILoad=2.1A)	TCASE	70	°C

Evaluation Report

EV_BOARD BOM

Item	Recommended	Description	Package	Quantity	Part Reference
1	EUTECH	Step-Up PWM Controller	SOT23-5	1	U1
2	SECOS	SMG3402	SC-59	2	Q1, Q2
3	Walsin/YAGEO/CYNTEC	SMD, RES, 15K, 1/8W, 1%	0603	1	R5
4	Walsin/YAGEO/CYNTEC	SMD, RES, 110K, 1/8W, 1%	0603	1	R4
5	Walsin/YAGEO/CYNTEC	SMD, RES, 3.9Ω, 1/8W, 1%	0603	1	R3
6	Walsin/YAGEO/CYNTEC	SMD, RES, 7.5Ω, 1/8W, 1%	0603	1	R2
7	muRata/YAGEO/TDK	SMD, MLCC, X7R, 0.1uF, 50V, 20%	0603	2	C2, C8
9	muRata/YAGEO/TDK	SMD, MLCC, X7R, 1uF, 50V, 20%	0603	1	C7
10	muRata/YAGEO/TDK	SMD, MLCC, X7R, 47uF, 6.3V, 20%	1206	1	C6
11	muRata/YAGEO/TDK	SMD, MLCC, X7R, 68pF, 50V, 20%	0603	1	C5
12	muRata/YAGEO/TDK	SMD, MLCC, X7R, 1nF, 50V, 20%	0603	2	C4, C10
13	muRata/YAGEO/TDK	SMD, MLCC, X7R, 10uF, 6.3V, 20%	0603	1	C3
15	HILISIN ELECTRONICS CORP.	LVS808040-2ROM	2.0uH	1	L1
16		USB2.0	USB-A	1	J1
17	XH2. 54-2P	Terminal		1	J2
18	Diodes INC.	SMB, SBR3A40SA		1	D1, D2
19	RoHS	Electrolytic Cap, 220uF, 35V, 20%		1	C1
5	Walsin/YAGEO/CYNTEC	SMD, RES, 18K, 1/8W, 1%	0603	1	R1

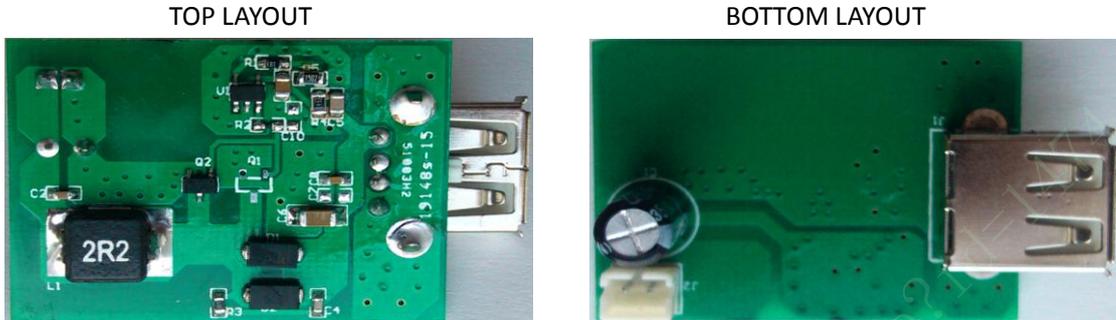
EV_BOARD Schematic



Typical Application Circuit of Mobile Power Back

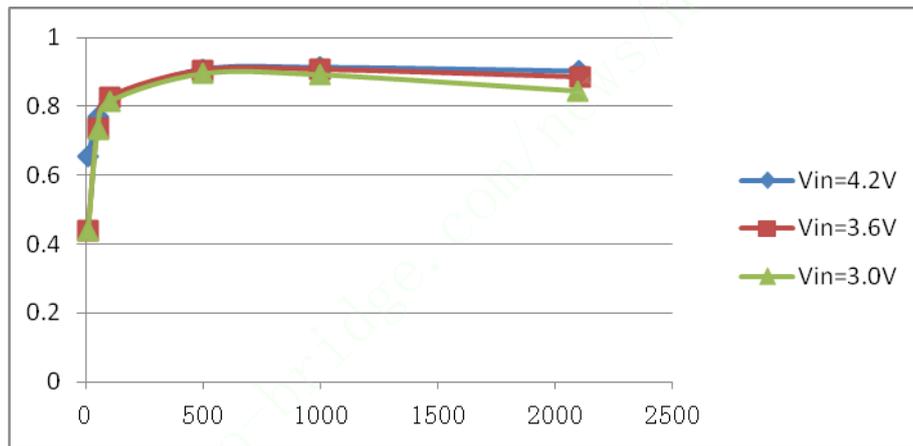
Evaluation Report

EV_BOARD PCB Layout (Typical Application Circuit of Mobile Power Back)



EV_BOARD Performance (Typical Application Circuit of Mobile Power Back)

1) Efficiency and Case Temperature



IC Case Temperature

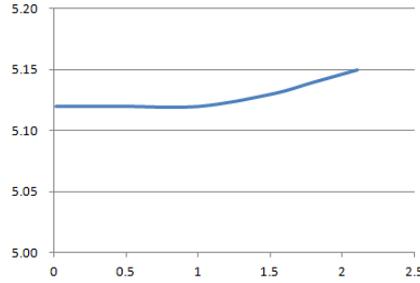
VIN (V)	VOUT (V)	ILOAD (mA)	IC Temp (°C)
3.3	5.15	2097	70
3.6	5.15	2107	62
4.2	5.15	2102	57

Input Current at no load

VIN (V)	IIN (mA)	VOUT (V)	ILOAD (mA)
3.3	2.44	5.12	0
4.2	0.61	5.12	0

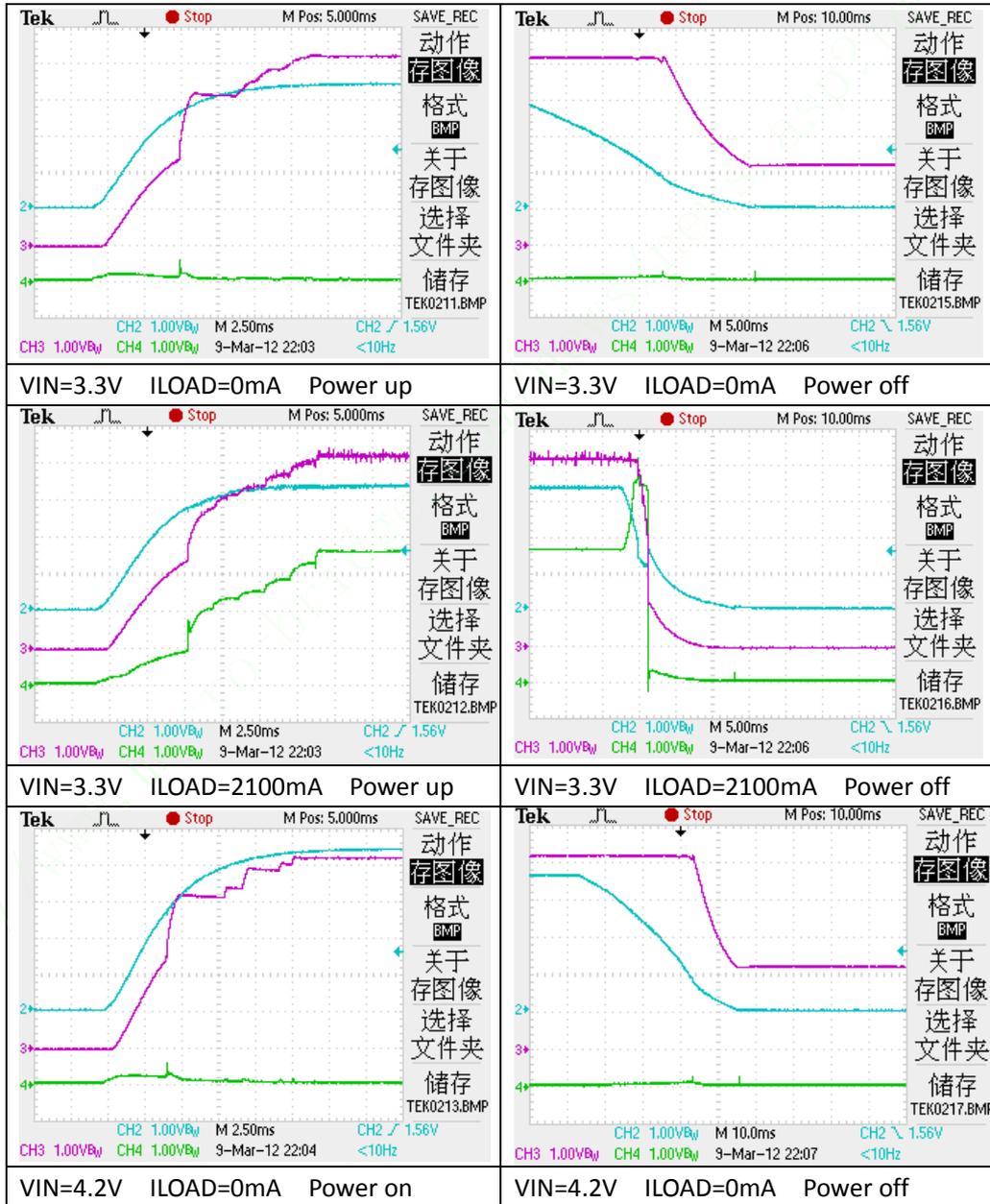
2) Load Regulation

Evaluation Report

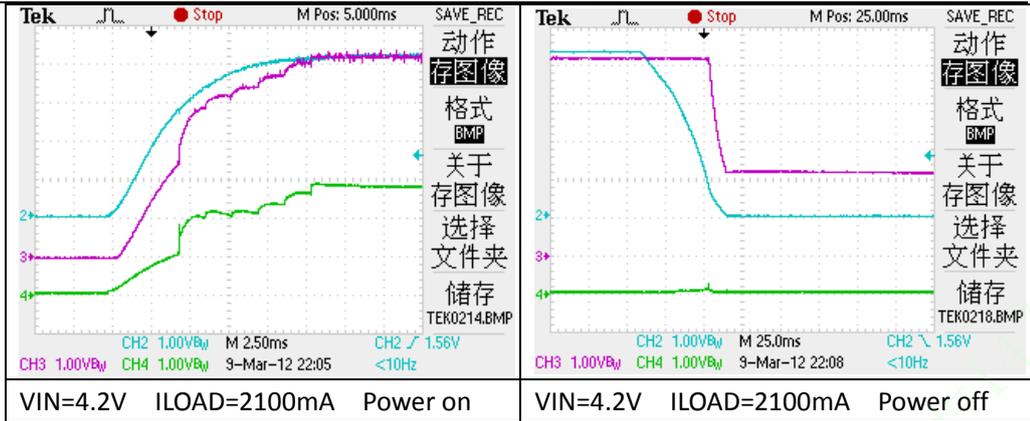


3) Power up and Power off Response

CH2=VIN,CH3=VOUT,CH4=IIN (VDD=VEN=VOUT)

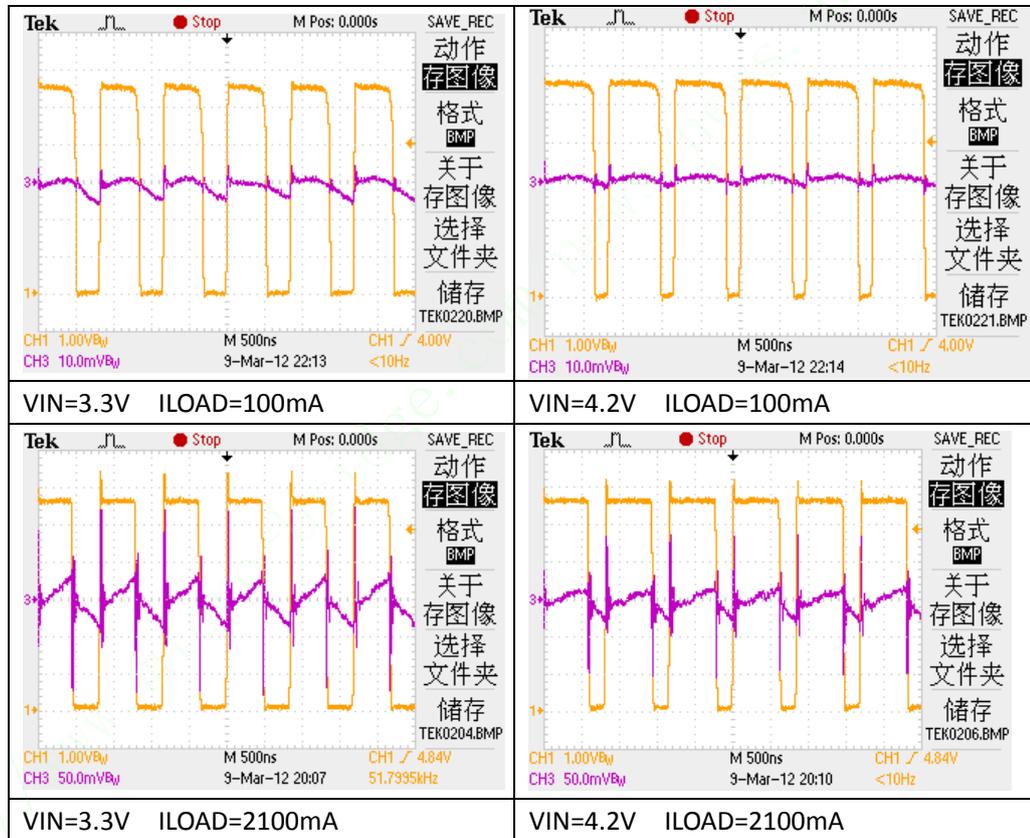


Evaluation Report



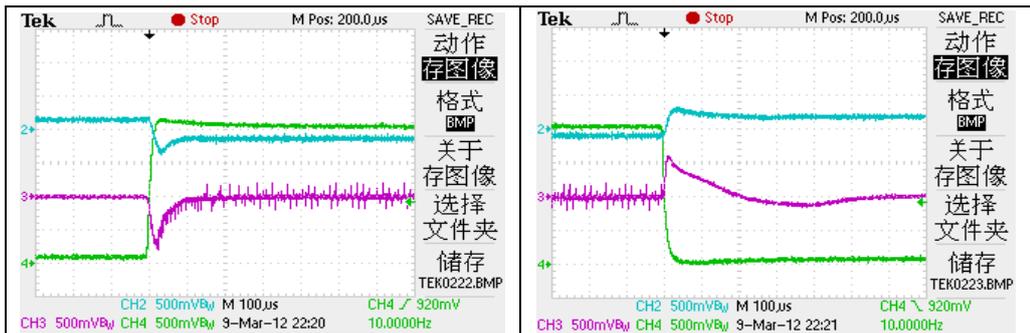
4) Output Ripple

CH1=VSW, CH3=VP-P (VDD=VEN=VOUT)

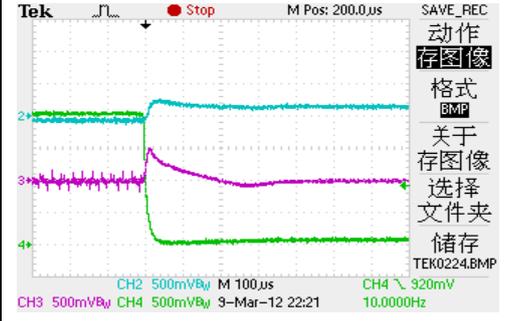
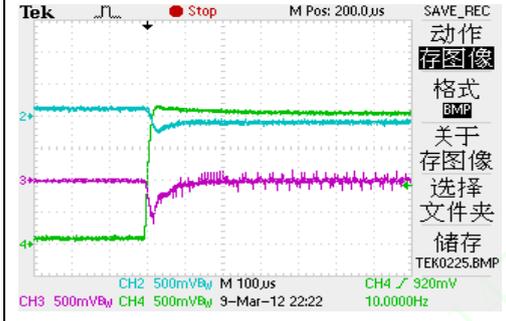


5) Load Transient Response

CH2=VIN, CH3=VOUT, CH4=ILOAD (VDD=VEN=VOUT)



Evaluation Report

<p>VIN=3.3V ILoad=100mA to 2100mA</p> 	<p>VIN=3.3V ILoad=2100mA to 100mA</p> 
<p>VIN=4.2V ILoad=100mA to 2100mA</p>	<p>VIN=4.2V ILoad=2100mA to 100mA</p>

应用说明

在应用时，需要采用短的输入电源线和地线，以减小线损。同时在 VDD 接 VIN 的应用条件下，VIN 与 VDD 之间串联电阻(几欧姆到十几欧姆)并在 VDD pin 附近加 bypass 电容可减小 VIN 上的杂讯对 IC 的干扰。

电感选取

电感值(L 值)对最大输出电流(IOUT)和效率(η)产生很大的影响。比较好的评估电感优化的方式是电感上的电流纹波的峰峰值约为最大输入电流的 30%左右，具体电感值大小可通过下列公式计算得到。

$$L = \frac{V_{IN}(V_{OUT} - V_{IN})}{V_{OUT} \times \Delta I \times f_{SW}}$$

VIN 为输入电压，VOUT 为输出电压，ΔI 为电感电流纹波的峰峰值，fsw 为系统工作频率，η 为系统效率，Iout 为最大输出电流

输入、输出电容的选取

输入端电容器(CIN)有利于稳定输入电压，提高系统的稳定性。请根据使用电源的阻抗的不同而选用 CIN 值，推荐使用 20uF。

输出端电容器(COUT)是为了平滑输出电压而使用的，推荐使用 22 μF 的陶瓷电容器，在输出电压较高或负载电流较大的情况下，则推荐使用输出容量值更大的电容器。反之，在输出电压较低或负载电流较小的情况下，使用电容值为 10 μF 左右的电容器也没有问题。因此，需要在实际的应用状态下进行充分的评价之后再决定。输出电压纹波在忽略 ESR 电阻的影响时，可通过下列公式计算：

$$V_{Ripple} = \frac{I_{LOAD}(V_{OUT} - V_{IN})}{V_{OUT} \times C_{OUT} \times f_{SW}}$$

输出肖特基

- 请使用满足以下条件的外接二极管：
- 低正向电压 (肖特基势垒二极管等)
- 快速恢复管
- 反向耐压大于输出电压 VOUT

Evaluation Report

额定电流在 I_{PK} 以上

$$I_{PK} = \frac{V_{IN} \times D \times T_s}{2 \times L} + \frac{V_o \times I_o}{\eta \times V_{IN}}$$

I_{PK} 为电感和肖特基上的峰值电流，D 为 MOSFET 的导通占空比， T_s 为系统的开关周期， η 为系统的效率。

MOS 选择

MOS FET 请使用 N 沟道功率 MOS FET。为了获得良好的效率，使用导通电阻(Ron) 较低、输入容量(CISS)较小的 MOSFET 最为理想，但一般情况下导通电阻与输入容量之间处于折衷选择的关系。

MOSFET 的选取好后，可根据 MOSFET 的特性选择 VDD 接法，接 VIN 或 VOUT（在工作电压范围之内），即通过比较开关损耗与导通损耗来决定 VDD 的接法。因为 VDD 接 VIN 时，EXT 的高电位就会较低（等于 VIN），那么它的开关损耗低，导通损耗大，这个适用于低阈值，gate 电容较大且 gate 电压提高对 Ron 影响不大的 MOSFET；VDD 接 VOUT 时，EXT 的高电位就会较高(等于 VOUT)，那么它的开关损耗高，导通损耗小，这个适用于阈值较高或 gate 电压高能大大改善 Ron 值、gate 电容较小的 MOSFET。

输出电压设定与环路补偿:

EUP2573 可通过外接分压电阻来设定输出电压 VOUT 的值。由于 VFB = 0.6 V (典型值)，因此输出电压 VOUT 可以通过分压电阻进行设置（参考电路原理图），则：

$$V_{FB} = V_O \times \frac{R_5}{R_4 + R_5}$$

$$R_4 = \left(\frac{V_O}{V_{FB}} - 1 \right) \times R_5$$

例如选择 R5=15KΩ，则 R4=110KΩ。

为了将噪声的影响控制到最小限度，请尽量将 R4 和 R5 的分压电阻器连接到 IC 的附近，且分压电阻接地端与 IC 的 GND 尽量靠近。

另外，为了避免受到噪声的影响，请调整 R4 和 R5 的数值，以便使 R4 + R5 < 200 kΩ。

与 R4 并联连接的 C5 为相位补偿用的电容器，可通过与电阻 R4 一起共同设定零点(相位提前)，使回馈环路有一定的相位裕度来确保电路工作的稳定性。为了有效地利用该零点所产生的相位提前效果，请参考以下公式来设定 C5。

$$C_5 \approx \frac{3 \times L}{R_4 \times R_L} \times \left(\frac{V_{OUT}}{V_{IN}} \right)^2$$

以上公式仅供估算参考

为了有效地利用由零点所产生的相位提前效果，请根据 L 和负载 RL 的极点频率 (fpole)，来设定可 R4 和 C5 零点频率(fzero)。一般情况下，将零点频率设定为比极点频率高 2~4 倍的频率点。L 和 COUT 的极点频率以及由 R4 和 C5 所产生的零点频率如下所示。

$$f_{pole} \approx \frac{1}{2 \times \pi \times \sqrt{L \times C_{OUT}}} \times \frac{V_{IN}}{V_{OUT}}$$

$$f_{zero} \approx \frac{1}{2 \times \pi \times R_4 \times C_5}$$

Evaluation Report

另外，将零点频率设定为比极点频率低时，可以改善瞬态响应速度。但是，如果将零点频率设定为过低时，会使高频带域的增益变高而导致相位裕度不足甚至没有，致使电路有可能变得不稳定。请根据实际的使用状况，进行充分的评价后设定最佳的数值。

PCB 布局注意事项：

IC 外接的电容器、电感器等请尽量安装在 IC 附近，并进行单点接地。

包含了 DC/DC 控制器的 IC，会产生特有的纹波电压和尖峰噪声。Layout 时预留 SW 端 RC snub，预留 MOS 管 G 极 RC 位置以优化 EMI 和 SW 点过冲。

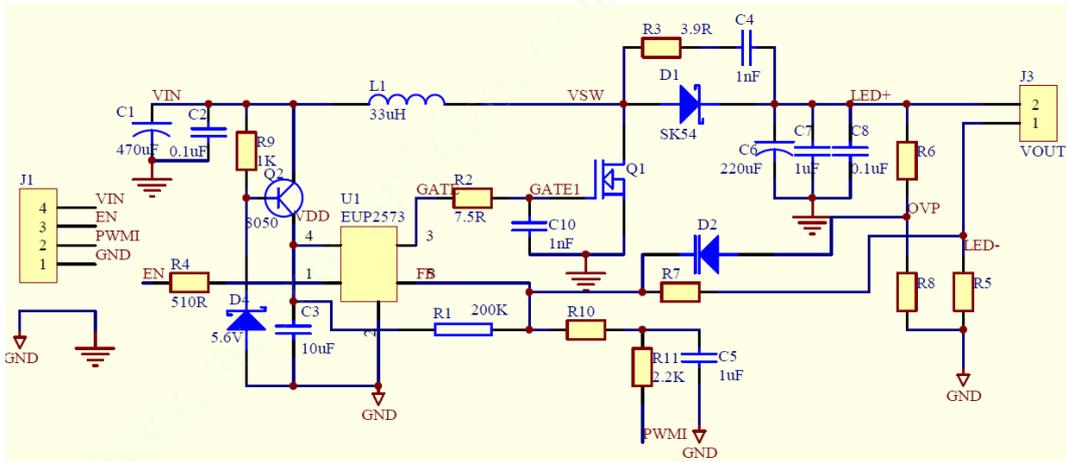
VDD-VSS 端子间所连接的电容为 1 μF 的电容器为旁路电容器。针对使用在高负载条件下的应用电路，可在 bypass 电容之前，VIN 与 VDD 之间串联电阻（几欧姆到十几欧姆）来保证 IC 电源的稳定。请优先将旁路电容器安装在 IC 附近。

输入端可以预留磁珠或差模电感位置，输出预留共模电感位置以解决 EMI 干扰。

功率线尽量粗且短，输入输出节点一定要通过滤波电容，功率地线尽量布线成为一个整体，FB 回馈线尽量绕开 SW 等干扰线，注意功率器件（肖特基、NMOS 管）散热。

其他应用：

- 1) EUP2573 可以应用于大功率 LED 背光驱动应用方案，具有成本低、效率高，输出功率大等优点，方案适应负载多样性要求，具有输出短路保护功能和输出过压保护功能，可以选择直流电压调光或 PWM 信号调光方式。



Typical Application Circuit of LED backlighting

- a) PWM 调光频率范围： $f_{PWMI}=100HZ \sim 20KHZ$
- b) 过压保护电阻计算：

$$V_{ovp} * \frac{R8}{R6 + R8} - VD2 = V_{FB} = 0.6V$$

V_{ovp} 指过压保护电压， $VD2$ 指 D2 正向导通压降， f_{PWMI} 指 FB PWM 信号调光频率。

- c) 其他参数选取请参考 Mobile Power back 应用指导。

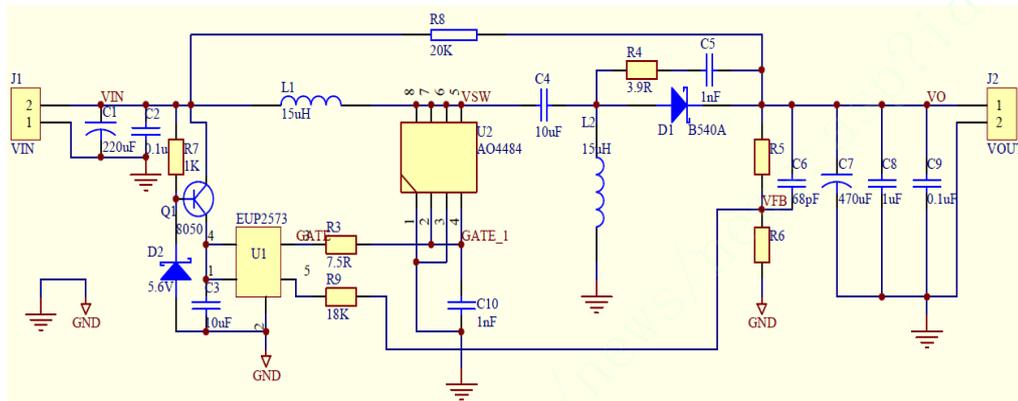
Evaluation Report

d) 调光电阻设置参考如下表: ($V_{PWI}=5V$, $D=0\% \sim 100\%$)

R7 (K Ω)	R10 (K Ω)	R5 (Ω)	I _{LED} (mA)
18	330	2	120
18	300	1	240
12.86	180	1	360
10.5	125	1	420

e) PCB Layout 请参考 Mobile Power back PCB Layout 指导说明。

- 2) EUP2573 拓展应用于 Sepic 电路构架, 实现宽幅电压输入和宽幅电压输出功能, 具有低噪声、EMI 干扰小, 输入输出隔离, 输出短路保护功能等优点。



Typical Application Circuit of WIDE Input and WIDE Output

Sepic 电路参数选择:

a) 电感计算: $L1 = L2 > \frac{3}{2} * \frac{V_{in(min)}^2 * \eta}{[V_{in(min)} + V_{out(max)}] * f * I_{out(max)}}$

b) NMOS 选型:

MOS 最低 VDS 电压: $V_{sw} (min) = V_{in} + V_{out}$

MOS 最低 Ids 电流:

$$I_{nmos(min)} > \frac{V_{in} (min)}{L1} * \frac{V_{out(max)}}{V_{in(min)} + V_{out(max)}} * \frac{1}{f} + \frac{V_{out(max)} * I_{out(max)}}{V_{in(min)} * \eta} + I_{out(max)}$$

c) 肖特基选型:

肖特基电压: $V_{SS} (min) > V_{out} + V_{D1}$

肖特基电流: $I_{SS} (min) = I_{noms(min)}$

d) 反馈电阻计算:

$$V_{FB} = V_{out} * \frac{R6}{R6 + R5} = 0.6V$$

e) η 指系统效率, f 指系统工作频率, V_{D1} 指 D1 正向导通压降。

f) PCB Layout 请参考 Mobile Power back PCB Layout 指导说明。